

Das Fachmagazin für Elektronikentwickler und Elektronikanwender

elektronik report

Elektronik · Wirtschaft · Management

Jänner/februar 2010

1-2

■ ■ ■ ■ ■ **seite 6**
**Von Puzzleteilen
zur Gesamtschau
Zukunftsprognosen**

Dr. Matthias
Kaiserswerth, IBM



topthema ■ ■ ■ ■ ■ **seite 30**

Intelligente Prothesen

Software hilft Versehrten auf die Beine



seite 14

■ ■ ■ ■ ■ **elektronik**
Mikrocontroller

Für den Einsatz in modernen Fahrer-Assistenzsystemen

seite 16

■ ■ ■ ■ ■ **elektronik**
Power-Module

Exzellentes thermisches Verhalten

seite 37

■ ■ ■ ■ ■ **wirtschaft**
embedded world 2010

Wichtigster Branchentreffpunkt legt erneut zu

Nios® II

ALTERA
Cyclone® IV



■ ■ ■ ■ ■ **seite 10**

Enorme Flexibilität

Delta-Sigma-Wandler zur Audioausgabe in einem Infotainment-FPGA

Delta-Sigma-Wandler zur Audioausgabe in einem Infotainment-FPGA

Herausragende Flexibilität

Field-Programmable Gate-Arrays (FPGAs) sind eine leistungsfähige und kostengünstige Alternative, wenn es um die Implementierung kompletter eingebetteter Systeme samt wichtiger Peripheriefunktionen geht.

Die reprogrammierbare Logikschaltung eines FPGA bietet enorme Flexibilität während der Entwicklungsphase und dem Produktlebenszyklus sowie eine hohe Effektivität bei parallelen Anwendungen. Weniger bekannt ist, dass die Ausgänge des digitalen FPGA aufgrund ihrer Flexibilität und Geschwindigkeit auch verschiedene analoge Anwendungen ermöglichen, wie im Folgenden gezeigt wird.

Infotainment-Systeme

Infotainment-Systeme der nächsten Generation erfordern eine gleichermaßen offene, skalierbare, flexible und sichere Architektur, die darüberhinaus ein attraktives Preis-Leistungsverhältnis bietet. Das parametrierbare Infotainment System PARIS von Altera hat bereits gezeigt, wie die Systemkosten einer Head-Unit durch Integration deutlich gesenkt werden können. Die flexible Integration von analogen Komponenten in das FPGA vereinfacht das Systemdesign erheblich und ermöglicht weitere Kosteneinsparungen. Der Einsatz im Infotainmentsystem erfordert eine qualitativ hochwertige analoge Signalverarbeitung. FPGAs erfüllen diese Anforderungen z. B. bei der analogen Audiowiedergabe, indem man spezielle Digital-Analog-Wandler (Digital Analog Converter – DAC) in programmierbarer Logik implementiert. Hierbei stellt sich die Frage, ob die analoge Audioqualität durch Rau-

schon und Verzerrung der FPGA-Pins und andere negative Nebeneffekte beeinflusst wird. Letztendlich geht es darum, mit der FPGA-Technologie ein qualitativ hochwertiges analoges Audiosignal bei vertretbarem Aufwand zu erreichen.

Delta-Sigma-Wandlung

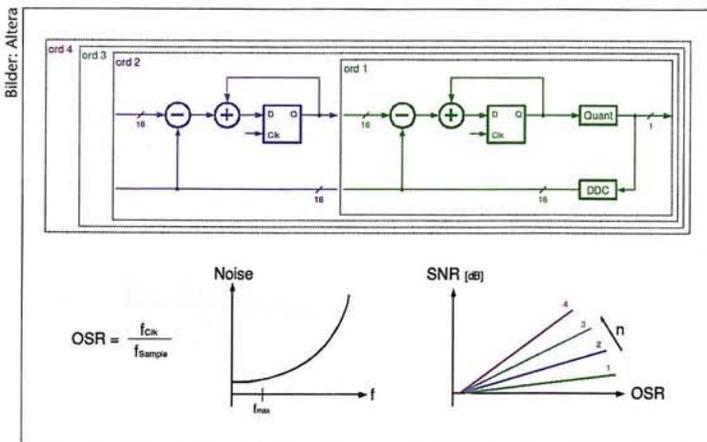
Für eine Digital-Analog-Wandlung im FPGA bietet sich besonders die sogenannte Delta-Sigma-Wandlung an. Dieser Ansatz wurde in anderen Publikationen bereits behandelt, es bedarf aber eine detaillierteren Analyse wichtiger Qualitätsmerkmale wie Signal-Rausch-Abstand (Signal to Noise Ratio – SNR) und Klirrfaktor (Total Harmonic Distortion – THD) sowie ein qualitativer Vergleich der zugrundeliegenden Delta-Sigma-Wandlung mit handelsüblichen Audiosystemen. Ein Delta-Sigma-DAC basiert auf Überabtastung (Oversampling Ratio – OSR) und wandelt die Audiosamples in eine hochfrequenten Bitfolge um – ähnlich wie bei der Pulsweitenmodulation. Diese Bitfolge wird an einem FPGA I/O-Pin referenziert und durch einen externen analogen Tiefpassfilter interpoliert. Die daraus entstehenden zeitlichen Mittelwerte entsprechen den digitalen Samplewerten und stellen das analoge Ausgangssignal dar. Dieses kann direkt verstärkt und wiedergegeben werden oder, wie in unserem Fall, gemessen werden. Der entscheidende Vorteil der Delta-Sigma-Wandlung ist die

Rauschformung. Hierbei werden Rauschteile in Richtung höherer Frequenzen verschoben und dadurch das Rauschen im niederfrequenten Audiospektrum reduziert. Es ergibt sich ein sehr gutes SNR (siehe auch in „Continuous Time Sigma-Delta A/D-Conversion“, von M. Ortmanns, Springer-Verlag, 2006). Theoretisch verbessert sich das SNR mit steigender Überabtastung, weil dadurch das Quantisierungsrauschen reduziert wird. Ebenso wird das SNR durch eine höhere Ordnung des Delta-Sigma-DAC verbessert. Für eine qualitative und quantitative Umsetzung dieser Theorie wurden verschiedene Konfigurationen des Delta-Sigma-DAC in ein voll funktionsfähiges Audio-Abspielsystem auf einem Altera Cyclone III FPGA implementiert.

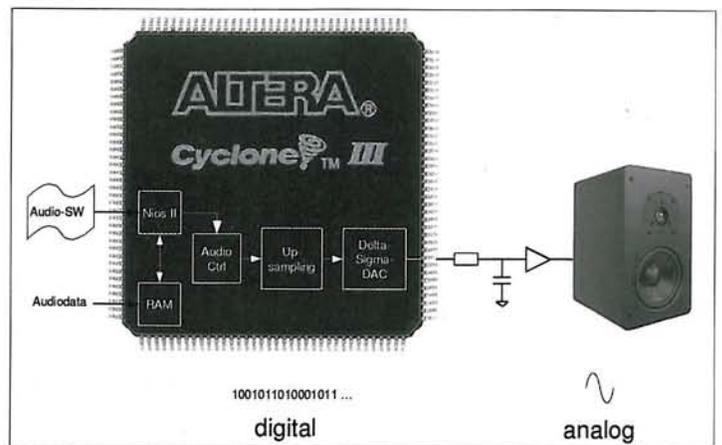
Implementierung

Die in einem Nios II Soft-Core-Prozessor ausgeführte Audio-Software übermittelt digitale Audiodaten an den Audio-Controller, welcher die Audiodaten puffert und synchronisiert. Diese werden daraufhin im Delta-Sigma-DAC konvertiert. Der direkt angesteuerte FPGA-I/O-Pin ist mit 2,5 V referenziert, die Grenzfrequenz des externen RC-Tiefpassfilters liegt bei 20 kHz. Für verschiedene Konfigurationen wurden Delta-Sigma-DAC mit 1. und 2. Ordnung sowie mit verschiedenen OSR (Taktung des Delta-Sigma-DAC und der I/O-Pins von 10 MHz bis 300 MHz) und zusätzlich ein optionales Upsampling-Modul verwendet. Dieses enthält einen interpolierenden digitalen Tiefpassfilter (IIR-Struktur) in 1. Ordnung und erhöht damit die Samplingrate vor dem Delta-Sigma-DAC. Der Ressourcenbedarf pro Audio-

Grundlagen eines Delta-Sigma-DAC.



Architektur des Audio-Abspielsystems.



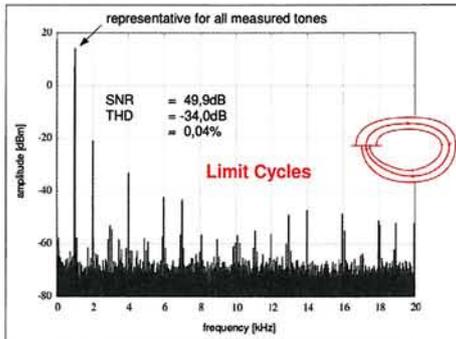


Bild 3: Messergebnisse: 1-kHz-Sinuston, Delta-Sigma-DAC 1. Ordnung bei 100 MHz Takt und Upsampling.

kanal im FPGA beträgt mit Upsampling-Modul 266 Altera Logic Cells (LC) bzw. 196 LC ohne Upsampling-Modul.

Messergebnisse

Als Eingangssignal jeder Konfiguration kamen mehrere diskrete Sinus-Töne zum Einsatz. Mit einem Agilent Network Analyzer wurde jeweils das Frequenzspektrum gemessen und daraus das SNR sowie den Klirrfaktor berechnet. Zunächst einmal ist festzuhalten, dass jede Konfiguration eine vielversprechende Audioqualität liefert. Bild 3 zeigt ein repräsentatives Spektrum von einem 1-kHz-Sinuston. Die Konfiguration besteht aus einem Delta-Sigma-DAC 1. Ordnung bei 100 MHz Takt und Upsampling. Desweiteren konnten folgende Effekte festgestellt werden: Höhere Überabtastung reduziert das Quantisierungsrauschen, allerdings zu Lasten des Klirrfaktors (als „Klirren“ bezeichnet man ganzzahlige Vielfache der Eingangssignalfrequenzen, die durch harmonische Verzerrungen entstehen). Aufgrund der hohen Überabtastung entstehen lange Zyklen gleicher Anregung im Delta-Sigma-DAC, welcher dadurch oszilliert. Dieses Phänomen entspricht einem Grenzzyklus („limit cycles“). Die von Grund auf instabile 2. Ordnung des Delta-Sigma-DAC benötigt deshalb zusätzlichen Aufwand für eine Stabilisierung des Regelkreises. Ein Upsampling als Vorverarbeitung für den Delta-Sigma-DAC bringt signifikante Verbesserungen mit sich. Eine Erklärung dafür ist, dass durch die höhere Samplingrate die Überabtastung und somit auch der Effekt durch Grenzzyklen verringert wird. Gleichzeitig steigt die Genauigkeit der Wandlung mit der höheren Anzahl an Samples, was das Quantisierungsrauschen reduziert. Im Durchschnitt über alle vermessenen Sinus-Töne verbessern sich durch das Upsampling sowohl das SNR als auch der Klirrfaktor um circa 6 dB. Abschließend wurde das Cyclone III Audio-Abspielsystem mit handelsüblichen Audiosystemen verglichen – einem Realtek ALS268 Audio-Chip nach Intel HD-Audio Standard so-

elektronik report | facts

Nios II – ein 32-bit-RISC-Prozessor

Die Kombination der Low-Cost-FPGAs der Cyclone-Familien mit dem Nios II-Softcore-Prozessor ist u. a. ideal für die Implementierung von Multimedia- bzw. Infotainment-Systemen in Automobilen. Der Nios II-Prozessor baut auf einer Standard-RISC-Architektur mit getrennten Adress- und Datenbusses (Harvard Architektur) auf, die jeweils 32 Bit breit sind. Viele der Funktionseinheiten, die jeder Prozessor enthält sind auch Nios II vorhanden, in ihrer Ausprägung aber einstellbar. So sind sowohl der Hardware-Multiplizierer und der Barrel-Shifter als auch der Hardware-Dividerer als Option selektierbar. Ebenso gilt dies für den Instruktions- und Data-Cache, welche in ihrer Größe eingestellt sind oder auch ganz weggelassen werden können. Die Nios II-Familie besteht aus drei Soft-CPU-Cores: einen für maximale Geschwindigkeit, einen optimiert für Logik-Effizienz und einen für eine ausgewogene Kombination aus beiden Kriterien. Alle drei Cores sind 100%ig Code-kompatibel. Im Gegensatz zu Standard-CPUs und anderen FPGA-Lösungen kann der Befehlssatz des Nios II mit bis zu 256 anwenderspezifischen Befehlen erweitert werden. Der Nios II-Prozessor wird von zahlreichen Peripheriefunktionen unterstützt – mit vielfältigen Kombinationsmöglichkeiten. Zu den Funktionsblöcken gehören u. a. Ethernet-, USB- und Speicher-Controller. Der SOPC-Builder als Bestandteil der Quartus II-Software von Altera unterstützt all diese Peripheriefunktionen für eine schnelle, weitgehend automatisierte Implementierung.

wie einem iPod Nano 4. Dazu wurden der identische Messaufbau sowie der identische 1-kHz-Sinuston verwendet. Bild 4 verdeutlicht, dass das SNR von dem FPGA-Ansatz mit handelsüblichen Audiosystemen vergleichbar ist, während der Klirrfaktor etwas schlechter abschneidet (dies liegt hauptsächlich am Effekt der Grenzzyklen). Unter der berechtigten Annahme, dass man die Grenzzyklen im Delta-Sigma-DAC mittels einfacher Erweiterungen unterbinden kann, sollte die Qualität des FPGA-Ansatzes für Audioausgabe vergleichbar zu handelsüblichen Audiosystemen werden. Eine zusätzliche Option ist Dithering. Hierbei

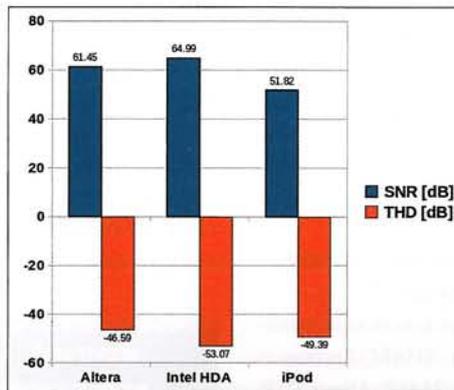


Bild 4: Vergleich mit handelsüblichen Audiosystemen.

wird der Eingang des Quantisierers im Delta-Sigma-DAC mit einer gering dimensionierten Rauschquelle überlagert, was das Problem der Limit Cycles adressiert und einen besseren Klirrfaktor ergibt.

Fazit

Die herausragende Flexibilität und Geschwindigkeit aktueller FPGA-I/O-Pins ermöglicht es, einen digitalen FPGA auf direktem Wege für analoges Audio mit hoher Qualität zu verwenden. FPGA-basierende Delta-Sigma-DAC können einfach und kompakt realisiert werden – die Resultate der Audiowiedergabe sind vergleichbar mit Standard-Audiolösungen für Infotainment-Systeme. Zukünftige Analyse-schritte werden sich mit höheren Ordnungen des Delta-Sigma-DAC beschäftigen. Es ist zu erwarten, dass sich dadurch ein besseres SNR sowie geringere Verzerrung durch Grenzzyklen ergibt. Da die höheren Ordnungen von Grund auf instabil sind, wird eine Stabilisierung mit geeigneten Koeffizienten-Gliedern erforderlich. Die Implementierung von Dithering wird den Klirrfaktor weiter reduzieren können.

Dr. Endric Schubert (Missing Link Electronics),
Johannes Röttig, Dr. Axel Zimmermann (Altera)

www.altera.com

elektronik report | facts

Cyclone III und Cyclone IV

Das hier vorgestellte Audio-System wurde in ein Cyclone III-FPGA implementiert. Diese 65-nm-Low-Cost-FPGAs bieten eine sehr geringe Stromaufnahme, 5000 bis 120.000 Logikelemente (LEs), bis zu 4 Mbit Speicher und bis zu 288 DSP-Multiplizierer. Die Erfolgsgeschichte der Cyclone-FPGAs wird jetzt mit der neuen Cyclone IV-FPGA-Familie fortgeschrieben, die in zwei Varianten angeboten wird: Cyclone IV GX und Cyclone IV E. Cyclone IV GX-Bausteine verfügen über bis zu 150.000 Logikelemente (LEs), bis zu 6,5 Mbit RAM und bis zu 360 Multiplizierer. Bis zu acht integrierte 3,125-Gbit/s-Transceiver unterstützen populäre Protokolle wie beispielsweise Gigabit Ethernet (GbE). Cyclone IV GX verfügt zudem über Hard-IP für PCI Express (PCIe). Mit ihrer geringen Leistungsaufnahme und Gehäusen von nur 11 mm x 11 mm sind sie prädestiniert für platz kritische und Strom sparende Applikationen. Darüber hinaus bieten die Cyclone IV E-Bauelemente eine ideale Kombination aus geringen Kosten und hoher Funktionalität, mit um nochmal 25 % geringerer Leistungsaufnahme als die Cyclone III-Vorgängergeneration.